

## PATENT ABSTRACTS OF JAPAN

(11)Publication number : 2002-214614

(43)Date of publication of application : 31.07.2002

(51)Int.Cl.

G02F 1/1337

G09F 9/30

(21)Application number : 2001-009237

(71)Applicant : TOSHIBA CORP

(22)Date of filing : 17.01.2001

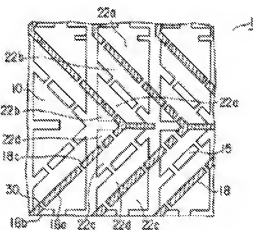
(72)Inventor : YAMAGUCHI TAKASHI  
KAWADA YASUSHI  
HARUHARA KAZUYUKI  
KURAUCHI SHOICHI  
MANABE ATSUYUKI  
MAYA NATSUKO  
MURAYAMA AKIO

## (54) LIQUID CRYSTAL DISPLAY

## (57)Abstract:

**PROBLEM TO BE SOLVED:** To provide a liquid crystal display of MVA mode, in which the loss of transmissivity and the delay of response due to disclination are suppressed.

**SOLUTION:** This liquid crystal display 1 has a couple of substrates which are arranged opposite to each other, a pixel electrode 10 which is formed on the opposite surface of one of them, a ridge-shaped projection part 18 which is formed on the opposite surface of the other substrate, a liquid crystal layer which is inserted between the substrates, and alignment films which are formed on those substrates in contact with the liquid crystal layer, and the alignment film formed on the opposite surface of another substrate has, on its surface, a ridge-shaped projection structure corresponding to the ridge-shaped projection part 18 and then areas which are mutually different in the alignment direction of liquid crystal molecules are formed in the liquid crystal layer. The ridge-shaped projection part 18 extends crossing a pixel area prescribed by the pixel electrode 10 and also crossing the sides constituting the outline of the pixel area at an acute angle and is parted at least one place in the pixel area.



(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開2002-214614

(P2002-214614A)

(43) 公開日 平成14年7月31日 (2002.7.31)

(51) Int. Cl. <sup>7</sup>	識別記号	F I	9-73-57 (参考)	
G 0 2 F 1/1337	5 0 5	G 0 2 F 1/1337	5 0 5	2 H 0 9 0
G 0 9 F 9/30	3 4 1	G 0 9 F 9/30	3 4 1	5 C 0 9 4
	3 4 9		3 4 9 E	

審査請求 未請求 請求項の数 7 O L (全 8 頁)

(21) 出願番号 特願2001-9237(P2001-9237)

(22) 出願日 平成13年1月17日 (2001.1.17)

(71) 出願人 000003078

株式会社東芝

東京都港区芝浦一丁目1番1号

(72) 発明者 山口 剛史

埼玉県深谷市幡羅町一丁目9番地2号 株式会社東芝深谷工場内

(72) 発明者 川田 靖

埼玉県深谷市幡羅町一丁目9番地2号 株式会社東芝深谷工場内

(74) 代理人 100058479

弁理士 鈴江 武彦 (外6名)

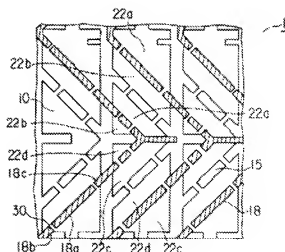
最終頁に続く

## (54) 【発明の名称】 液晶表示装置

## (57) 【要約】

【課題】 ディスクリネーションによる透過率の損失または応答時間の遅延が抑制されたMVAモードの液晶表示装置を提供すること。

【解決手段】 本発明の液晶表示装置1は、対向して配置された一対の基板と、それらの一方の対向面に形成された画素電極10と、他方の基板の対向面に形成された敵状突起部18と、それら基板間に挟持された液晶層と、それら基板上に液晶層と接するように形成された配向膜とを具備し、他方の基板の対向面上に形成された配向膜はその表面に敵状突起部18に対応して敵状突起構造を有し、それによって、液晶層内に液晶分子の配向方向が互いに異なる複数の領域を形成する液晶表示装置であって、敵状突起部18は、画素電極10によって規定される画素領域を横切るように及び画素領域の輪郭を構成する辺と鋭角を為して交差するように延在し且つ画素領域内の少なくとも1箇所で分断されていることを特徴とする。



【請求項1】 対向して配置された一対の基板と、前記

一対の基板の一方の対向面上に形成された画素電極と、前記一対の基板の他方の対向面上に形成された駆動突起部または溝状陰極部と、前記一対の基板間に挟持された液晶層と、前記一対の基板のそれぞれの対向面に前記液晶層と接するように形成された配向膜とを具備し、前記一対の基板の他方の対向面上に形成された配向膜はその表面に前記駆動突起部または溝状陰極部に対応して駆動突起構造または溝状陰極構造を有し、それによって、前記液晶層内に液晶分子の配向方向が互いに異なる複数の領域を形成する液晶表示装置であって、

前記駆動突起部または前記溝状陰極部は、前記画素電極によって規定される画素領域を横切るように及び前記画素領域の輪郭を構成する辺と鋭角を有して交差するように延在し且つ前記画素領域内の少なくとも1箇所で分断されていることを特徴とする液晶表示装置。

【請求項2】 前記駆動突起部または前記溝状陰極部は前記画素領域内の2箇所以上で分断されていることを特徴とする請求項1に記載の液晶表示装置。

【請求項3】 対向して配置された一対の基板と、前記一対の基板の一方の対向面上に形成された画素電極と、前記一対の基板の他方の対向面上に形成された駆動突起部または溝状陰極部と、前記一対の基板間に挟持された液晶層と、前記一対の基板のそれぞれの対向面に前記液晶層と接するように形成された配向膜とを具備し、前記一対の基板の他方の対向面上に形成された配向膜はその表面に前記駆動突起部または溝状陰極部に対応して駆動突起構造または溝状陰極構造を有し、それによって、前記液晶層内に液晶分子の配向方向が互いに異なる複数の領域を形成する液晶表示装置であって、前記駆動突起部または前記溝状陰極部を通る直線は前記画素電極によって規定される画素領域を横切るように及び前記画素領域の輪郭を構成する辺と鋭角を有して交差するように延在し、

前記駆動突起部または前記溝状陰極部は前記画素領域内に位置し且つその両端部は前記辺の全てから離隔されていることを特徴とする液晶表示装置。

【請求項4】 前記駆動突起部または溝状陰極部が形成された基板とその基板上に形成された前記配向膜との間に前記電極をさらに具備することを特徴とする請求項1または請求項3に記載の液晶表示装置。

【請求項5】 前記駆動突起部または前記溝状陰極部として、前記対向電極上に形成され且つ誘電体からなる駆動突起部を有することを特徴とする請求項4に記載の液晶表示装置。

【請求項6】 前記駆動突起部または前記溝状陰極部は、前記対向電極に設けられたスリット状の溝部であることを特徴とする請求項4に記載の液晶表示装置。

【請求項7】 前記画素電極に前記駆動突起部または前

記溝状陰極部と平面的に見て平行なスリット部が形成されたことを特徴とする請求項1または請求項3に記載の液晶表示装置。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、液晶表示装置に係り、特にマルチドメイン型垂直配向モードで表示を行う液晶表示装置に関する。

【0002】

【従来の技術】液晶表示装置は、薄型、軽量、低消費電力である等の様々な特長を有しており、OA機器、情報端末、時計、及びテレビ等の様々な用途に活用されている。特に、薄膜トランジスタ（以下、TFTという）を有する液晶表示装置は、その高い応答性から、携帯テレビやコンピュータなどのように多量の情報を表示するモニタとして用いられている。

【0003】近年、情報量の増加に伴い、画像の高解像度化や表示速度の高速化に対する要求が高まっている。これら要求のうち画像の高解像度は、例えば、上述したTFTが形成するアレイ構造を微細化することによって実現されている。

【0004】一方、表示速度を高速化するためには、液晶材料の応答速度を、従来の液晶表示装置における値に対して2倍〜数10倍にまで高めることが必要とされている。そこで、従来の表示モードの代わりに、メタリック液晶を用いたOCBモード、VANモード、HANモード、及びA配列モードや、スメクチック液晶を用いた界面安定型強誘電性液晶（Surface Stabilized ferroelectric Liquid Crystal）モード及び反強誘電性液晶モードを採用することが検討されている。

【0005】これら表示モードのうち、VANモードでは、従来のTN（Twisted Nematic）モードよりも速い応答速度を得ることができ、しかも、垂直配向のため静電気破壊などの不良を発生させるラビング処理が不要である。なかでも、マルチドメイン型VANモード（以下、MVAモードという）は、視野角の補償設計が比較的容易なことから特に注目集めている。

【0006】図4は、MVAモードを採用した従来の液晶表示装置を概念的に示す平面図である。図4に示す液晶表示装置101は、アクティブマトリクス基板と対向基板とで液晶層を挟持した構造を有している（図中未図示せず）。アクティブマトリクス基板の対向面上には、互いに離隔された複数の画素電極110が配列されている。なお、これらの画素電極110にはそれぞれスリット部115が設けられている。また、対向基板の対向面上には共通電極（図中未図示）及び駆動突起部118が順次形成されている。

【0007】この液晶表示装置101において、駆動突起部118及びスリット部115は、液晶層内に電気力線の方向が互いに異なる複数の領域を形成し且つ液晶層

に凹凸表面を提供することによって、液晶層の画素電極 110 に対応する部分に液晶分子の配向方向が互いに異なる複数のドメイン 122a ~ 122d を形成している。図 4 に示す液晶表示装置 101 では、各画素電極 110 上の領域を液晶分子の配向方向が互いに異なる複数のドメイン 122a ~ 122d で構成することにより視野角が確保されている。

【0008】ところで、MVA モードを採用した液晶表示装置 101 では、各ドメイン 122a ~ 122d での液晶分子の配列状態が表示品位に大きな影響を与える。すなわち、例えば、ドメイン 122a ~ 122d での液晶分子の配列に乱れが生じた場合、ドメイン 122a ~ 122d 間で光透過率が異なることとなり、その結果、表示ムラとして視認されてしまう。そのため、各ドメイン 122a ~ 122d での液晶分子配列の乱れを極力防止する必要があるが、従来の MVA モードの液晶表示装置 101 では、そのような乱れが発生するのを避けることができなかった。

【0009】図 5 (a) ~ (c) は、それぞれ、図 4 に示す従来の液晶表示装置 101 における液晶分子の配列状態を概略的に示す図である。図 5 (a) は図 4 の液晶表示装置 101 をその基板面に垂直な方向から観察した場合のドメイン 122d における液晶分子の配列状態を示しており、また、図 5 (b)、(c) は、それぞれ、矢印で示す方向から観察した場合の領域 125、126 内における液晶分子の配列状態を示している。

【0010】図 5 (a) ~ (c) に示すように、対向基板上に形成された軟状突起部 118 の近傍に位置する液晶分子 121a は、軟状突起部 118 の長手方向に対して垂直な方向に配向している。ドメイン 122d 内では、全ての液晶分子が液晶分子 121a と同様に、軟状突起部 118 の長手方向に対して垂直な方向に配向していることが理想である。

【0011】しかしながら、画素電極 110 とその下地との間の境界部も軟状突起部 118 やスリット部 115 ほどではないが液晶分子の配向状態に影響を与える。すなわち、アクティブマトリクス基板上に形成された画素電極 110 の縁部近傍に位置する液晶分子 121b は、画素電極 110 の縁部を構成する辺に対して垂直に配向する。そのため、図 5 (b) に示すように領域 125 内の領域では液晶分子 121b はアクティブマトリクス基板側から対向基板側に向けて右回りの螺旋構造を形成するように配列し、図 5 (c) に示すように領域 126 内の領域では液晶分子 121b はアクティブマトリクス基板側から対向基板側に向けて左回りの螺旋構造を形成するように配列することとなる。

【0012】単一のドメイン 122d 内では、領域 125、126 内の螺旋構造のそれぞれは、その周囲の領域に液晶分子が同様の螺旋構造を形成するよう影響を与える。そのため、領域 125、126 間で螺旋構造の回

転方向が逆向きである場合、領域 125 と領域 126 との間の位置にディスクリネーションが発生することとなる。

【0013】このようなディスクリネーションが発生した場合、液晶分子を所望の状態に配向させることができないため、透過率の損失を生じる。また、ディスクリネーションは、必ずしも最も安定な位置で発生する訳ではなく、通常、ある場所で発生した後により安定な位置へと移動する。そのため、応答時間が長くなるという問題を生ずることがある。

【0014】

【発明が解決しようとする課題】本発明は、上記問題点に鑑みてなされたものであり、ディスクリネーションによる透過率の損失が抑制または防止された MVA モードの液晶表示装置を提供することを目的とする。また、本発明は、ディスクリネーションの位置が移動することによる応答時間の遅延が抑制または防止された MVA モードの液晶表示装置を提供することを目的とする。

【0015】

【課題を解決するための手段】本発明は、対向して配置された一对の基板と、前記一对の基板の一方の対向面上に形成された画素電極と、前記一对の基板の他方の対向面上に形成された軟状突起部または溝状陥没部と、前記一对の基板間に挟持された液晶層と、前記一对の基板のそれぞれの対向面に前記液晶層と接するように形成された配向膜とを具備し、前記一对の基板の他方の対向面上に形成された配向膜はその表面に前記軟状突起部または溝状陥没部に対応して軟状突起構造または溝状陥没構造を有し、それによって、前記液晶層内に液晶分子の配向方向が互いに異なる複数の領域を形成する液晶表示装置であって、前記軟状突起部または前記溝状陥没部は、前記画素電極によって規定される画素領域を横切るように及び前記画素領域の縁部を構成する辺と鋭角を為して交差するように延在し且つ前記画素領域内の少くとも 1 箇所まで分断されていることを特徴とする液晶表示装置である。

【0016】また、本発明は、対向して配置された一对の基板と、前記一对の基板の一方の対向面上に形成された画素電極と、前記一对の基板の他方の対向面上に形成された軟状突起部または溝状陥没部と、前記一对の基板間に挟持された液晶層と、前記一对の基板のそれぞれの対向面に前記液晶層と接するように形成された配向膜とを具備し、前記一对の基板の他方の対向面上に形成された配向膜はその表面に前記軟状突起部または溝状陥没部に対応して軟状突起構造または溝状陥没構造を有し、それによって、前記液晶層内に液晶分子の配向方向が互いに異なる複数の領域を形成する液晶表示装置であって、前記軟状突起部または前記溝状陥没部を通る直線は前記画素電極によって規定される画素領域を横切るように及び前記画素領域の縁部を構成する辺と鋭角を為して交差

するように提示し、前記軟状突起部または前記溝状陥凹部は前記画素領域内に位置し且つその領域部は前記辺の全てから離隔されていることを特徴とする液晶表示装置である。

【0017】

【発明の実施の形態】以下、本発明について、図面を参照しながらより詳細に説明する。なお、各図において同様の構成部品には同一の参照符号を付し、重複する説明は省略する。

【0018】図1は、本発明の第1及び第2の実施形態に係る液晶表示装置を概略的に示す断面図である。図1に示す液晶表示装置1は、MVA型の液晶表示装置であって、アクティブマトリクス基板2と対向基板3との間に液晶層4を挟持させた構造を有している。これらアクティブマトリクス基板2と対向基板3との間隔は図示しないスペーサによって一定に維持されている。また、この液晶表示装置1の両面には、偏光フィルム5、6が貼り付けられている。

【0019】アクティブマトリクス基板2は、ガラス基板のような透明基板7を有している。透明基板7の一方の主面には配線やスイッチング素子9が形成されている。また、それらの上には、絶縁膜9、画素電極10、及び配向膜11が順次形成されている。

【0020】透明基板7上に形成する配線は走査線及び信号線などである。また、スイッチング素子9は、例えば、アモルファスシリコンやポリシリコンを半導体層としたTFTであり、走査線及び信号線などの配線並びに画素電極10と接続されている。アクティブマトリクス基板2では、このような構成により、所望の画素電極10に対して選択的に電圧を印加することが可能とされている。

【0021】絶縁膜9には、コンタクトホールが設けられている。画素電極10は、このコンタクトホールを介してスイッチング素子9と接続されている。

【0022】画素電極10のそれぞれは、スリット部15が形成されるように分割されている。画素電極10は、110のような透明導電材料で構成されて得る。画素電極10は、例えばスパッタリング法などにより薄膜を形成した後、フォトリソグラフィ技術及びエッチング技術を用いてその薄膜をパターンニングすることにより形成することができる。

【0023】配向膜11は、ポリイミドなどの透明樹脂からなる薄膜で構成されている。なお、第1及び第2の実施形態に係る液晶表示装置1の配向膜11には、ラビング処理は施さない。

【0024】対向基板3は、ガラス基板のような透明基板16上に、共通電極17、軟状突起部18、及び配向膜19を順次形成した構造を有している。配向膜19の表面には、軟状突起部18に対応した軟状突起構造が形成されている。これら共通電極17及び配向膜19は、

画素電極10及び配向膜11と同様の材料で形成される。

【0025】さて、本発明の第1の実施形態と第2の実施形態とは、軟状突起部18の形状が異なっている。まずは、第1の実施形態で軟状突起部18に採用する形状について説明する。

【0026】図2は、本発明の第1の実施形態に係る液晶表示装置1を概略的に示す平面図である。図2に示すように、各画素電極10は略長方形形状の形状を有している。なお、画素領域はこれら画素電極10が形成された領域として規定され、非画素領域はこれら画素電極10間の領域として規定される。

【0027】画素電極10のそれぞれは分割されており、それによって、端面が絶縁膜9で構成されたスリット部15を形成している。これらスリット部15は、長方形形状の画素領域の輪郭を構成する辺の2つと鋭角を為して交差するように及びそれぞれの画素電極10の分割された各部分が相互に電気的に接続されるように設けられている。一方、軟状突起部18は、それぞれ、互いに平行な2つのスリット部15間に配置されており、画素領域を横切るように及び画素領域の輪郭を構成する辺の2つと鋭角を為して交差するように配置されている。この液晶表示装置1では、以上の構成により、1つの画素領域内に互いに液晶分子21の配向方向が異なる4種のトメイン22a~22dを形成している。

【0028】図2に示すように、本発明の第1の実施形態では、画素領域を斜めに横切る軟状突起部18は画素領域内の少なくとも1つの分断部30によって分断されている。この場合、軟状突起部18と画素領域の輪郭を構成する辺とが交差する領域における液晶分子21の螺旋配列構造が、分断部18を超えて他の領域内の液晶分子21の配列構造に影響を及ぼすことはない。したがって、画素領域を斜めに横切る軟状突起部18を画素領域内の2つの分断部30によって突起部18a~18c~18dと分断すれば、突起部18aの近傍の領域内に液晶分子21を所望の状態に配向させることができるため、透過率の損失を抑制または防止することができる。

【0029】また、図2に示すような構造によると、ディスクレーションが発生したとしても、その発生位置は分断部30に制限され、しかもディスクレーションの位置はそこから移動しない。そのため、ディスクレーションの位置が移動することによる応答時間の遅延を防止することができる。

【0030】本実施形態において、分断部30の幅、すなわち、突起部18aと突起部18bとの間の距離及び突起部18aと突起部18cとの間の距離、は、5 $\mu$ m程度以上であることが好ましい。また、分断部30の幅は、10 $\mu$ m程度以下であることが好ましい。分断部30の幅が過剰に狭い場合、透過率の損失を抑制する効果や応答時間の遅延を防止する効果が不十分となることが

ある。また、分断部30の幅が過剰に広い場合は、突起部18aの長さが短くなる。

【0033】図2に示すように、画素領域を斜めに横切る1つの畝状突起部18に対して単一の画素領域内で2つの分断部を設ける場合、それら分断部30は、それぞれ、画素領域周縁部から2 $\mu\text{m}$ 以上離間させることが好ましい。また、それら分断部30のそれぞれと画素領域周縁部との距離は、1 $\mu\text{m}$ 以下であることが好ましい。分断部30と画素領域周縁部との距離が過剰に短い場合、透過率の損失を抑制する効果や応答時間の遅延を防止する効果が不十分となることがある。また、分断部30と画素領域周縁部との距離が過剰に長い場合、突起部18aの長さが短くなる。

【0032】次に、第2の実施形態で畝状突起部18に採用する形状について説明する。図3は、本発明の第2の実施形態に係る液晶表示装置1を概略的に示す平面図である。図3に示す液晶表示装置1では、図2に示す液晶表示装置1とは異なり、畝状突起部18は画素領域周縁部を斜めに横切るように設けられていない。すなわち、図3において、畝状突起部18を通る直線は画素領域を斜めに横切っているものの、畝状突起部18自体は画素領域内に位置しており、その両端部は画素領域周縁部から離間されている。このような構造によると、畝状突起部18の両端部と画素領域周縁部との間の距離が十分に長ければ、第1の実施形態において説明したのと同様の効果を得ることができる。

【0033】本実施形態において、畝状突起部18の両端部はそれぞれ画素領域周縁部から2 $\mu\text{m}$ 以上離間されていることが好ましい。また、畝状突起部18の両端部のそれぞれと画素領域周縁部との距離は、1 $\mu\text{m}$ 以下であることが好ましい。畝状突起部18の端部と画素領域周縁部との距離が過剰に短い場合、透過率の損失を抑制する効果や応答時間の遅延を防止する効果が不十分となることがある。また、畝状突起部18の端部と画素領域周縁部との距離が過剰に長い場合、畝状突起部18の長さが短くなる。

【0034】なお、上述した第1及び第2の実施形態では、畝状突起構造として畝状突起部18を形成した場合について説明したが、そのような畝状突起構造の代わりに、溝状陥没構造として、対向電極17を分割することによって形成されるスリット状の溝部を用いても良い。この場合も、溝部に分断部30を設けることや溝部の両端部を画素領域周縁部から離間させることにより、上述したのと同様の効果を得ることができる。

【0035】また、上述した第1及び第2の実施形態では、画素電極10を分割してスリット部15を形成したが、そのようなスリット部15を形成する代わりに、画素電極10上に畝状突起部を形成しても良い。

【0036】

【実施例】以下、本発明の実施例について説明する。

【0037】〔実施例1〕図1に示す液晶表示装置1を以下に示す方法により作製した。なお、本実施例では、畝状突起部18、画素電極10、及びそれらに形成するスリット部16は、図2に示す形状とした。

【0038】まず、通常のTFT形成プロセスと同様に成膜とパターニングとを繰り返して、ガラス基板7上に走査線及び信号線等の配線並びにTFT9を形成した。次に、ガラス基板7のTFT9等を形成した面に、感光性樹脂を塗布し、それにより得られた塗膜をパターニングすることにより透明化線9を形成した。この塗膜のパターニングは、後で形成する画素電極10とTFT9とを接続するコンタクトホールが形成されるように行った。なお、透明化線9はカラーフィルタ層であってもよい。

【0039】次に、ガラス基板7の透明化線9を形成した面に、スパッタリング法を用いてITO膜を形成した。これをフォトリソグラフィ技術とエッチング技術とを用いてパターニングすることにより画素電極10を得た。なお、ITO膜のパターニングは、画素電極10に幅5 $\mu\text{m}$ のスリット部15が形成されるように行った。また、これら画素電極10は、それぞれコンタクトホールを介してTFT9と接続した。

【0040】その後、ガラス基板7の画素電極10を形成した面の全面に熱硬化性樹脂を塗布し、この塗膜を180℃で20分間焼成することにより厚さ20nmの配向膜11を形成した。以上のようにして、アクティブマトリクス基板2を作製した。

【0041】次に、別途用意したガラス基板16の一方の主面上に、共通電極17として、スパッタリング法を用いて厚さ100nmのITO膜を形成した。続いて、この共通電極17の全面に、アクリル系感光性樹脂を12 $\mu\text{m}$ の厚さに塗布した。このようにして形成した塗膜をフォトリソグラフィ技術を用いてパターニングすることにより畝状突起部18を形成した。なお、このとき同時に、アクティブマトリクス基板2と対向基板3とを貼り合わせる際の位置合わせに用いる位置合わせマーク（図示せず）も形成した。

【0042】その後、ガラス基板16の畝状突起部18を形成した面に、アクティブマトリクス基板2に亙って説明したのと同様の方法により配向膜19を形成した。以上のようにして、対向基板3を作製した。

【0043】次に、アクティブマトリクス基板2と対向基板3の対向面周縁部を、それらの配向膜11、19が形成された面が対向するように及び液晶材料を注入するための注入口が残されるように貼り合わせることに液晶セルを形成した。なお、この液晶セルのセルギャップは、アクティブマトリクス基板2と対向基板3との間に直径3.75 $\mu\text{m}$ の樹脂スペーサを介在させることにより3.6 $\mu\text{m}$ とした。また、それら基板2、3は、アクティブマトリクス基板2に予め形成された位置合わせ

マーク（図示せず）と対向基板に形成した位置合わせマークとを利用して位置合わせすることにより、図2に示すように絶縁突起部18とスリット部15とが交互に配列するように貼り合わせた。

【0044】次に、この液晶セル中に誘電率異方向性が高い液晶材料を通常の方法により注入して液晶層4を形成した。次いで、液晶出入口を紫外硬化樹脂で封止し、液晶セルの両面に偏光フィルム5、6を貼り付けることにより図1に示す液晶表示装置1を得た。なお、本実施例で作製した液晶表示装置1の開口率は60%である。

【0045】以上のようにして作製した液晶表示装置1の液晶層4には、液晶分子の配向方向が互いに異なるドメイン2a~2dが形成され、また、この液晶表示装置1の電極10、17間に電圧を印加したところ、液晶分子は基板面に平行な方向に配向する。

【0046】次に、この液晶表示装置1を通常の方法によって駆動し、その光透過率を測定した。その結果、本実施例の液晶表示装置1の光透過率は6.5%であった。また、この液晶表示装置1では、表示ムラは確認されなかった。

【0047】（比較例）図2に示す形状突起部18の代わりに図4に示す形状の形状突起部18を形成したこと以外は実施例1で説明したのと同等の方法により図1に示す液晶表示装置1を作製した。なお、本比較例で作製した液晶表示装置1の開口率も60%である。

【0048】次に、この液晶表示装置1を通常の方法によって駆動し、その光透過率を測定した。その結果、本実施例の液晶表示装置1の光透過率は5.4%であった。また、この液晶表示装置1では、表示ムラが確認された。

【0049】（実施例2）図2に示す形状突起部18の代わりに図3に示す形状の形状突起部18を形成したこと以外は実施例1で説明したのと同等の方法により図1に示す液晶表示装置1を作製した。なお、本実施例で作製した液晶表示装置1の開口率も60%である。

【0050】次に、この液晶表示装置1を通常の方法によって駆動し、その光透過率を測定した。その結果、本実施例の液晶表示装置1の光透過率は6.4%であった。また、この液晶表示装置1では、表示ムラは確認されなかった。

【0051】

【発明の効果】以上説明したように、本発明では、形状突起部または溝状陥没部を画素領域内の少なくとも1箇所を分離するかあるいはその両端部が画素領域周縁部から

離間されるように形成している。そのため、画素領域周縁部における液晶分子の配向状態の乱れが画素領域中央部の液晶分子の配向状態を乱すのを抑制すること及びディスプレイの位置が画素領域内で移動するのを防止することができる。したがって、本発明によると、透過率の損失や応答時間の遅延が抑制または防止される。

【0052】すなわち、本発明によると、ディスプレイの位置による透過率の損失が抑制または防止されたMVAモードの液晶表示装置が提供される。また、本発明によると、ディスプレイの位置が移動することによる応答時間の遅延が抑制または防止されたMVAモードの液晶表示装置が提供される。

【図面の簡単な説明】

【図1】本発明の第1及び第2の実施形態に係る液晶表示装置を概略的に示す断面図。

【図2】本発明の第1の実施形態に係る液晶表示装置を概略的に示す平面図。

【図3】本発明の第2の実施形態に係る液晶表示装置を概略的に示す平面図。

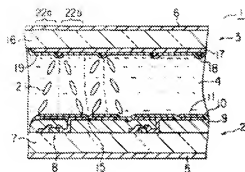
【図4】MVAモードを採用した従来の液晶表示装置を概略的に示す平面図。

【図5】（a）～（c）は、それぞれ、図4に示す従来の液晶表示装置における液晶分子の配列状態を概略的に示す図。

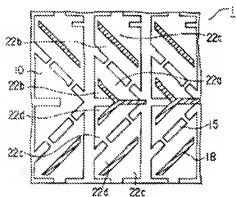
【符号の説明】

- 1…液晶表示装置
- 2…アクティブマトリクス基板
- 3…対向基板
- 4…液晶層
- 5…偏光フィルム
- 6…透明基板
- 8…スイッチング素子
- 9…絶縁膜
- 10、11…画素電極
- 11、19…配向膜
- 15…115スリット部
- 17…共通電極
- 18、118…形状突起部
- 22a~22d、122a~122d…ドメイン
- 30…分断部
- 21、121、121a、121b…液晶分子
- 18a~18c…突起部
- 125、126…領域

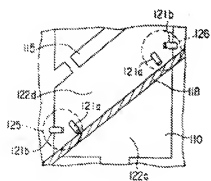
【圖 1】



【圖 3】



【圖 5】



【a】

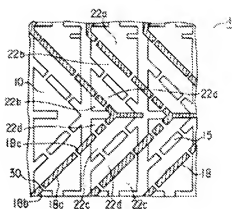


【b】

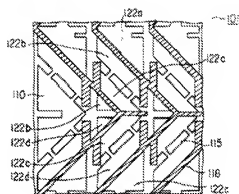


【c】

【圖 2】



【圖 4】





フロントページの続き

(72)発明者 春原 一之  
埼玉県深谷市幡羅町一丁目9番地2号 株  
式会社東芝深谷工場内

(72)発明者 意内 昭一  
埼玉県深谷市幡羅町一丁目9番地2号 株  
式会社東芝深谷工場内

(72)発明者 真鍋 敦行  
埼玉県深谷市幡羅町一丁目9番地2号 株  
式会社東芝深谷工場内

(72)発明者 藤矢 恭洋子  
埼玉県深谷市幡羅町一丁目9番地2号 株  
式会社東芝深谷工場内

(72)発明者 村山 昭夫  
埼玉県深谷市幡羅町一丁目9番地2号 株  
式会社東芝深谷工場内

Fターム(参考) ZH09G HB08Y KA05 KA14 KA1S  
MA12 MB01  
5C094 AA03 AA13 BA03 EA43 GA19  
EA04 EA07 E014 JA08